

(11)Publication number : 07-321570

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H03F 3/45

H03F 3/30

(21)Application number : 06-109842

(71)Applicant : MURATA MFG CO LTD

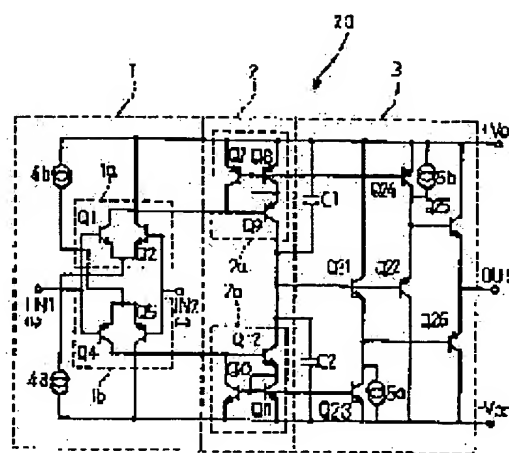
(22)Date of filing : 24.05.1994

(72)Inventor : YOSHIOKA NAOTO

(54) OPERATIONAL AMPLIFIER**(57)Abstract:**

PURPOSE: To provide an operational amplifier low in current consumption, high in responsiveness of waveforms and reduced in waveform distortion.

CONSTITUTION: This amplifier is provided with a differential amplifier stage 1 constituted of a pair of differential amplifier circuits 1a and 1b provided with positive and negative input terminals, a current mirror stage 2 constituted of a pair of current mirror circuits 2a and 2b connected to the output of the differential amplifier circuits 1a and 1b of the differential amplifier stage 1 and a buffer circuit 3 connected to the common output of the current mirror circuits 2a and 2b of the current mirror stage 2 and provided with Q23 and Q24 and 5a and 5b as two kinds of a current source.

**LEGAL STATUS**

[Date of request for examination]

21.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321570

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/45	A	8839-5 J		
3/30				

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平6-109842

(22) 出願日 平成6年(1994)5月24日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 吉岡 直人

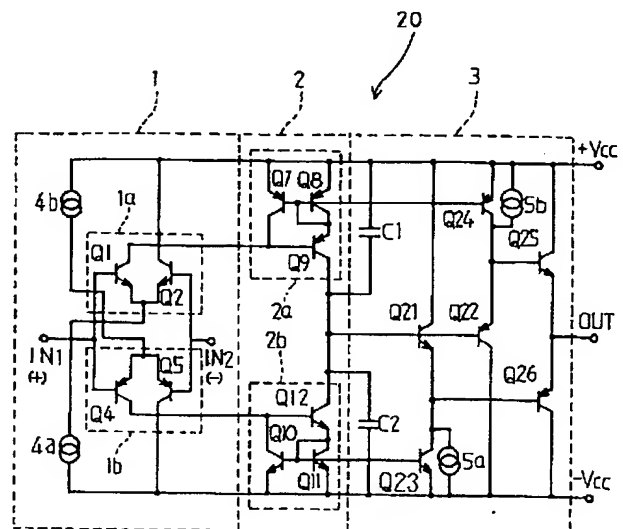
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54) 【発明の名称】 演算増幅器

(57) 【要約】

【目的】 低消費電流で波形の応答性が高く波形歪みが少ない演算増幅器を提供する。

【構成】 正負の入力端子を有し一対の差動増幅回路 1 a, 1 b で構成した差動増幅段 1 と、差動増幅段 1 の差動増幅回路 1 a, 1 b の出力に接続した一対のカレントミラー回路 2 a, 2 b で構成したカレントミラー段 2 と、カレントミラー段 2 のカレントミラー回路 2 a, 2 b の共通出力に接続し、2 種類のカレントミラー回路として Q 2 3, Q 2 4 及び 5 a, 5 b を有するバッファ回路とを備えたものである。



【特許請求の範囲】

【請求項1】 一対のカレントミラー回路で構成したカレントミラー段と、電流源を有し前記カレントミラー段の共通出力に接続されるバッファ回路とを備えた演算増幅器において、前記バッファ回路の電流源を、2種類の電流源で構成したことを特徴とする演算増幅器。

【請求項2】 正負の入力端子を有し一対の差動増幅回路で構成した差動増幅段と、該差動増幅段の出力に接続し一対のカレントミラー回路で構成したカレントミラー段と、該カレントミラー段の共通出力に接続され電流源を有するバッファ回路とを備えた演算増幅器において、前記バッファ回路の電流源を、2種類の電流源で構成したことを特徴とする演算増幅器。

【請求項3】 前記2種類の電流源のうち、少なくとも一方をバイアス回路と該バイアス回路によりバッファ回路の電流を制御する回路で構成したことを特徴とする請求項1又は請求項2のいずれかに記載の演算増幅器。

【請求項4】 前記2種類の電流源のうち、一方を前記カレントミラー段の動作電流でバッファ回路の電流を制御する回路で構成し、他方をバイアス回路と該バイアス回路によりバッファ回路の電流を制御する回路で構成したことを特徴とする請求項1又は請求項2のいずれかに記載の演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、主に携帯用通信機等に用いられる演算増幅器に関するものである。

【0002】

【従来の技術】従来の演算増幅器として、本出願人は、低消費電流で波形の応答性が高い演算増幅器を特願平5-184824号で提案した。すなわち、図7に示すように、差動増幅段1とカレントミラー段2とバッファ回路3とを備え、差動増幅段1は、上下に対称配置された第一、第二差動増幅回路1a、1bで、カレントミラー段2は、上下に対称配置された第一、第二カレントミラー回路2a、2bでそれぞれ構成されており、カレントミラー回路2a、2bの共通出力に、バッファ回路3が接続され、演算増幅器10が構成されている。

【0003】このうち、第一差動増幅回路1aは、一対のNPN型のトランジスタQ1、Q2で、第二差動増幅回路1bは、一対のPNP型のトランジスタQ4、Q5でそれぞれ構成されている。

【0004】また、第一カレントミラー回路2aは、PNP型の3つのトランジスタQ7、Q8、Q9で構成され、第二カレントミラー回路2bは、NPN型の3つのトランジスタQ10、Q11、Q12で構成されている。一方、バッファ回路3は、NPN型の2つのトランジスタQ21、Q25と、PNP型の2つのトランジスタQ22、Q26からなるダイヤモンド型で構成され、トランジスタQ23、Q24からなる電流源を備えてい

る。

【0005】そして、上記の第一、第二差動増幅回路1a、2aの一方のトランジスタQ1、Q4のベースは、正相入力端子IN₁に、他方のトランジスタQ2、Q5のベースは、逆相入力端子IN₂にそれぞれ共通に接続されている。

【0006】また、第一差動増幅回路1aを構成するトランジスタQ1のコレクタは、第一差動増幅回路1aの出力となり、第一カレントミラー回路2aの入力部に接続され、トランジスタQ2のコレクタは正電源に接続され、トランジスタQ1、Q2のエミッタは第一定電流回路4aに共通して接続されている。また、第二差動増幅回路1bを構成するトランジスタQ4のコレクタは、第二差動増幅回路1bの出力となり、第二カレントミラー回路2bの入力部に接続され、トランジスタQ5のコレクタは負電源に接続され、トランジスタQ4、Q5のエミッタは第二定電流回路4bに共通して接続されている。なお、第一、第二定電流回路4a、4bは、例えばトランジスタ回路や接合型のFET回路からなるものである。

【0007】そして、第一、第二カレントミラー回路2a、2bの出力部となるトランジスタQ9、Q12のコレクタは、バッファ回路3の入力部に共通に接続されるとともに、正負電源にかけて位相補償用のコンデンサC1、C2が接続されている。

【0008】バッファ回路3は、トランジスタQ21、Q22の電流源に、トランジスタQ23、Q24を用い、入力信号電圧に応じた電流が流れているカレントミラー段2の動作電流で制御されている。すなわち、NPN型トランジスタQ23は、そのコレクタが、バッファ回路3のトランジスタQ21のエミッタとQ26のベースの接続点に接続され、エミッタが負電源に接続され、さらに、ベースが第二カレントミラー回路2bのトランジスタQ10とQ11の共通ベースに接続されている。

【0009】また、PNP型トランジスタQ24は、そのコレクタが、バッファ回路3のトランジスタQ22のエミッタとQ25のベースの接続点に接続され、エミッタが正電源に接続され、さらに、ベースが第一カレントミラー回路2aのトランジスタQ7とQ8の共通ベースに接続されている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の演算増幅器10では、

- ・出力電圧の振幅が大きい場合、
- ・負荷抵抗の値が低い場合、
- ・最終段出力トランジスタQ25、26のバラツキにより、hfe(β)が著しく低い場合、等において、入力波形に対する出力波形の応答性が悪化し、スルーレートが低く、波形歪みが発生する。また、ローレベル又はハイレベル時にサグ(sag)が生じる等の問題が発生し、こ

これらの対策として演算増幅器の消費電流を大幅に増加し
なければならなかった。その結果、携帯用通信機等の低
消費電流化が達成できなかった。

【0011】本発明は、このような問題を解消するため
になされたものであり、バッファ回路に2種類の電流源
を備え、低消費電流で波形の応答性が高く波形歪みが少
ない演算増幅器を提供することを目的とするものである。

【0012】

【課題を解決するための手段】上記の目的を達成するた
めに、本発明においては、一対のカレントミラー回路で
構成したカレントミラー段と、電流源を有し前記カレン
トミラー段の共通出力に接続されるバッファ回路とを備
えた演算増幅器において、前記バッファ回路の電流源
を、2種類の電流源で構成したことを特徴とするもので
ある。

【0013】また、正負の入力端子を有し一対の差動増
幅回路で構成した差動増幅段と、該差動増幅段の出力に
接続し一対のカレントミラー回路で構成したカレントミ
ラー段と、該カレントミラー段の共通出力に接続され電
流源を有するバッファ回路とを備えた演算増幅器におい
て、前記バッファ回路の電流源を、2種類の電流源で構
成したことを特徴とするものである。

【0014】また、前記2種類の電流源のうち、少なく
とも一方をバイアス回路と該バイアス回路によりバッ
ファ回路の電流を制御する回路で構成したことを特徴と
するものである。

【0015】また、前記2種類の電流源のうち、一方を
前記カレントミラー段の動作電流でバッファ回路の電流
を制御する回路で構成し、他方をバイアス回路と該バイ
アス回路によりバッファ回路の電流を制御する回路で構
成したことを特徴とするものである。

【0016】

【作用】上記の構成によれば、バッファ回路に2種類
の電流源を備えているため、所定の電流及び入力波形に
対応した電流が共にバッファ回路に流れ、入力波形に対
する出力波形の応答性が向上する。

【0017】

【実施例】以下、本発明による演算増幅器の実施例を
図面を用いて説明する。なお、従来例と同一もしくは相当
する部分には同一符号を付し、その説明を省略する。

【0018】本発明は、バッファ回路に電流を供給する
電流源に、カレントミラー段の動作電流でバッファ回路
に流れる電流を制御する第一の電流源と、それとは別の
第二の電流源の2種類を用いたことを特徴とするもので
ある。すなわち、図1に示すように、バッファ回路3
の、第一の電流源をなすトランジスタQ23、Q24の
コレクタと正電源又は負電源との間に第二の電流源5
a、5bを接続して、演算増幅器20を構成したもので
ある。

【0019】このように構成した演算増幅器20は、ト
ランジスタQ23、Q24及び電流源5a、5bが、バ
ッファ回路3の電流源となり、トランジスタQ23、Q
24は、カレントミラー回路2a、2bによりその動作
電流が制御され、入力信号の電圧変化に応じて、バッ
ファ回路3のトランジスタQ21、Q22の動作電流及び
トランジスタQ25、Q26のベース電流を供給し、電
流源5a、5bは、トランジスタQ23、Q24とは別
に、バッファ回路3のトランジスタQ21、Q22の動
作電流及びトランジスタQ25、Q26のベース電流を
供給するものである。したがって、トランジスタQ2
3、Q24のみを用いた従来の演算増幅器10より、更
に入力波形に対する出力波形の応答性が向上する。

【0020】ここで、電流源5a、5bにトランジスタ
を用いた場合の演算増幅器30を図2に示す。図2にお
いて、電流源5aとしては、トランジスタQ27のコレ
クタをトランジスタQ23のコレクタに接続し、トラン
ジスタQ27のエミッタを負電源に接続し、トランジ
スタQ27のベースを正負電源間に接続したバイアス回路
の第一の出力部に接続して構成している。また、電流源
5bとしては、トランジスタQ28のコレクタをトラン
ジスタQ24のコレクタに接続し、トランジスタQ28
のエミッタを正電源に接続し、トランジスタQ28のベ
ースを正負電源間に接続したバイアス回路の第二の出力
部に接続して構成している。この電流源5a、5bは、
バイアス回路によりバッファ回路3に流れる電流を制御
するものである。なお、トランジスタQ3、Q4は、第
一、第二定電流回路4a、4bに相当するものである。

【0021】このように構成した演算増幅器30では、
バッファ回路3に流れる電流を、カレントミラー段2の
動作電流で制御する第一の電流源と、バイアス回路によ
り制御する第二の電流源とを備えるため、必要最小限の
消費電流で演算増幅器30を動作させることができる。
また、電流源5a、5bとしては、トランジスタQ2
7、Q28以外に、単に抵抗のみ、又は、図3に示すよ
うに、ゲートとソースを接続したFETQ29、Q30
で構成することも可能である。

【0022】本発明の演算増幅器の効果を確認するた
め、図4に示す回路を用いて、従来の演算増幅器10を
用いた場合と、本発明の演算増幅器30を用いた場合の
波形の応答特性をシミュレーションした。その結果を図
5に示す。なお、図4の回路条件としては、演算増幅器
30(10)の出力に2kΩの抵抗R1と10pFのコ
ンデンサC3を並列に接続し、電源電圧Vccを±2.
5v、入力に1MHzで3Vppの矩形波を加えたもの
である。

【0023】図5において、実線は本発明の演算増幅器
30を用いたもので、破線は従来の演算増幅器10を用
いたものである。図5の特性から、立上がり部のスルー
レートは、従来の演算増幅器10では26V/μsec

であるのに対し、本発明の演算増幅器 30 では、 $73\text{V}/\mu\text{sec}$ と向上し、また、ローレベルでのサグが改善され、波形の変形が少なく歪みが改善されていることが判る。

【0024】この場合の消費電流は、従来の演算増幅器 10 の $500\mu\text{A}$ に対して、本発明の演算増幅器 30 では $546\mu\text{A}$ となり 10% 以下の増加で特性が改善される。なお、従来の演算増幅器 10 で同じ程度まで特性を改善するには、消費電流は $670\mu\text{A}$ が必要となり、30% 以上の増加となる。

【0025】本発明による演算増幅器 20、30 のカレントミラー回路は、図 1 のカレントミラー回路 2a、2b に限定されることなく、カレントミラーの作用があれば他の回路を用いてもよい。例えば、図 6 に示すように、NPN 型のトランジスタ Q31 のコレクタとベースおよび NPN 型のトランジスタ Q32 のベースを共通に接続するとともに、差動増幅回路 1b のトランジスタ Q4 のコレクタと、バッファ回路 3 のトランジスタ Q23 のベースに接続し、また、トランジスタ Q31、Q32 のエミッタを負電源に接続し、さらに、トランジスタ Q32 のコレクタを、バッファ回路 3 のトランジスタ Q21、22 の共通ベースに接続し構成したカレントミラー回路 22b を用いてもよい。なお、図 6 では、カレントミラー回路 2b に対応するものを図示したが、カレントミラー回路 2a に対応するものも同様に構成でき、この場合、トランジスタ Q31、Q32 を PNP 型に変更すればよい。

【0026】なお、位相補償回路として、トランジスタ Q9、Q12 のコレクタと正負電源間にコンデンサ C1、C2 を接続したものを示したが、コンデンサと抵抗の組み合わせによる回路を用いてもよく、その接続位置もトランジスタ Q9、Q12 のコレクタと正負電源間以外に、位相補償に効果的な部分に接続することができる。また、図 1 の演算増幅器 30 は、基本的な回路を示したものであり、実際の使用に当たっては、各部に抵抗

を接続して構成する場合もある。

【0027】

【発明の効果】以上説明したように、本発明にかかる演算増幅器によれば、カレントミラー段の動作電流でバッファ回路に流れる電流を制御する回路と、それとは別の電流源の 2 種類の電流源で、バッファ回路に電流を供給するため、低消費電流で動作し、出力波形の応答性が高く、スルーレートが向上し、波形のサグが改善され、波形歪みが少ない演算増幅器を得ることができ、携帯用通信機等の低消費電流化に寄与することができる。

【図面の簡単な説明】

【図 1】本発明の実施例による演算増幅器の回路図である。

【図 2】図 1 の第二の電流源にトランジスタを用いた場合の演算増幅器の回路図である。

【図 3】図 1 の第二の電流源に FET を用いた場合の、(a) は負電源側、(b) は正電源側を示す、第二の電流源の回路図である。

【図 4】波形の応答特性のシュミレーション回路図である。

【図 5】本発明の実施例による演算増幅器の波形の応答特性図である。

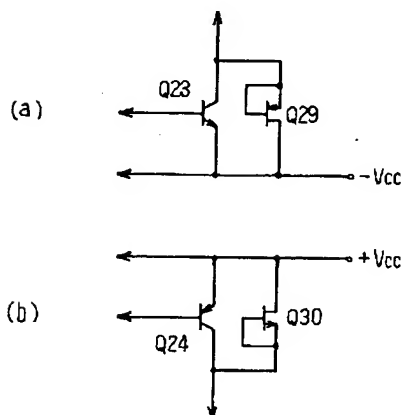
【図 6】第二の実施例によるカレントミラー回路図である。

【図 7】従来の演算増幅器の回路図である。

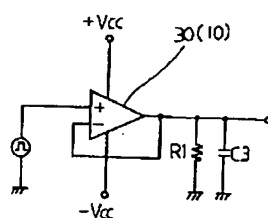
【符号の説明】

1	差動増幅段
1 a, 1 b	第一、第二差動増幅回路
2	カレントミラー段
2 a, 2 b	第一、第二カレントミラー回路
3	バッファ回路
4 a, 4 b	定電流回路
Q 23, Q 24	第一の電流源をなすトランジスタ
5 a, 5 b	第二の電流源
20, 30	演算増幅器

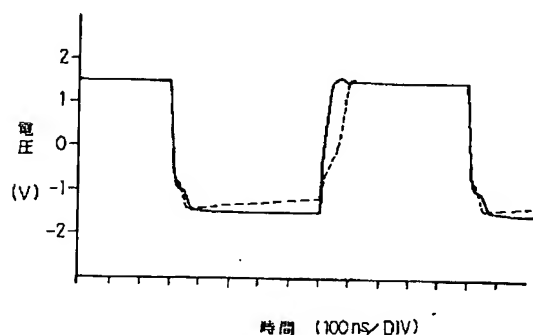
【図 3】



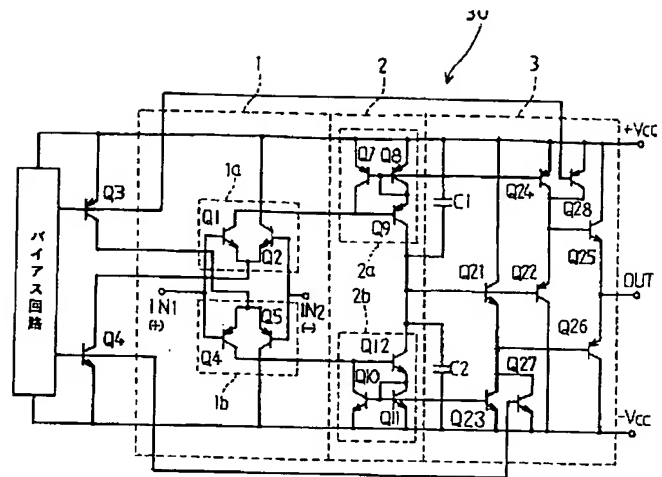
【図 4】



【図 5】



【图 2】



【図 7】

